

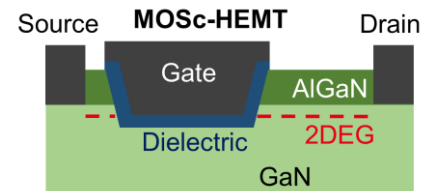
Offre de Stage de Master 2

Développement d'un nouveau matériau diélectrique pour la grille MIS de transistor de puissance à base de GaN

Mots clés : Semiconducteurs III-V, AION, dépôt ALD, interface, caractérisation physico-chimique et électrique

Contexte :

Pour atteindre les objectifs de l'Accord de Paris sur le climat, il est crucial de diminuer l'intensité énergétique mondiale. Ainsi, dans le but de réduire les pertes lors des étapes de conversion d'énergie électrique, depuis 2007 le CEA-Leti s'intéresse à la technologie GaN/Si pour des composants électroniques de puissance plus petits et plus efficaces. Les applications concernées vont du chargeur USB universel à l'onduleur photovoltaïque, en passant par le véhicule électrique. Une des solutions pour obtenir des transistors de puissance à base de GaN avec une tension de seuil (V_{TH}) positive (on parle de transistors « normally-off ») est l'architecture MOSc-HEMT (« MOS channel High Electron Mobility Transistor ») avec la présence d'une grille MOS (i.e. Métal - diélectrique (ou Oxyde) - Semiconducteur) pour contrôler la formation du canal [1]. Toutefois, la présence de pièges à l'interface diélectrique/GaN est critique pour la fiabilité du transistor car le piégeage de charges introduit des instabilités du V_{TH} (par exemple de l'hystérésis) [2]. Le développement de diélectrique alternatif tel que l'AION est une piste d'optimisation pour augmenter le V_{TH} et réduire son hystérésis. En effet, l'AION permettrait de réduire le piégeage d'électrons par la présence d'azote et d'introduit des charges négatives fixes permettant d'augmenter le V_{TH} [3,4]. Ainsi, ce stage propose d'étudier l'AION déposé par ALD (Atomic Layer Deposition) par des caractérisations électriques et physico-chimiques afin d'évaluer les gains apportés par l'AION.



Transistor MOSc-HEMT

Objectif :

L'objectif de ce stage de Master 2 sera donc de développer un matériau, AION, permettant d'améliorer les performances de la grille MOS (Métal – AION – GaN) pour les transistors GaN.

Il s'agira d'optimiser le procédé de dépôt par ALD et les propriétés du matériau AION en faisant varier des paramètres tels que les précurseurs, la durée, la température, et les recuits post-dépôt. L'AION sera déposé sur des substrats silicium et sur du GaN/Si. Les compositions chimiques de l'AION et de l'interface AION/GaN seront étudiées par spectrométrie photoélectronique X (XPS).

Pour évaluer l'impact de l'AION sur les paramètres électriques de la grille, des structures capacitives MOS seront réalisées en salle blanche et les caractérisations électriques par des mesures de C-V et I-V.

Références :

[1] He et al., *Recent Advances in GaN-Based Power HEMT Devices*, Advanced electronic materials, p. 24 (2021)

[2] Asubar et al., *Controlling surface/interface states in GaN-based transistors: Surface model, insulated gate, and surface passivation*, Journal of Applied Physics 129, 121102 (2021)

[3] Negara et al., *Oxide Charge Engineering of Atomic Layer Deposited AlOxNy/Al2O3 Gate Dielectrics: A Path to Enhancement Mode GaN Devices*, ACS Appl. Mater. Interfaces 8.32, 21089-21094 (2016)

[4] Nozaki et al., *Implementation of atomic layer deposition-based AION gate dielectrics in AlGaN/GaN MOS structure and its physical and electrical properties*, Jpn. J. Appl. Phys. 57, 06KA02 (2018)

Laboratoire d'accueil:
**Laboratoire des Technologies de la
Microélectronique (LTM/CNRS)**
17 avenue des martyrs
38054 GRENOBLE cedex 9

✓ Formation Requisite: M2
✓ Durée: 4 à 6 mois
✓ Début: février/mars 2022

POSTULER

Envoyez votre candidature avec CV à :
bassem.saleem@cea.fr ou
pedro.fernandespaespintorocha@cea.fr